



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02194652 A**(43) Date of publication of application: **01.08.90**

(51) Int. Cl. **H01L 29/68**  
**H01L 21/331**  
**H01L 21/338**  
**H01L 29/205**  
**H01L 29/73**  
**H01L 29/812**

(21) Application number: **01014389**(22) Date of filing: **24.01.89**(71) Applicant: **YOKOGAWA ELECTRIC CORP**

(72) Inventor: **ODAKA HIROHISA**  
**OKA SADAJI**  
**MIURA AKIRA**  
**KAMATA HIROMI**

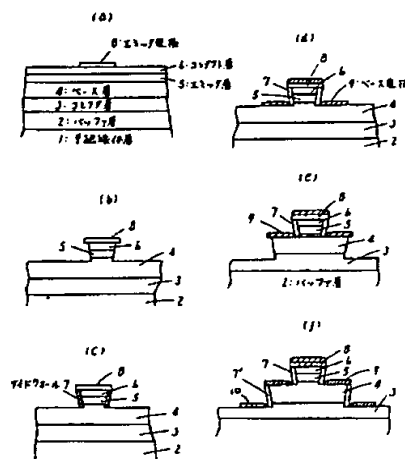
(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)1990,JPO&amp;Japio

(57) Abstract:

**PURPOSE:** To produce a stable semiconductor device hardly causing short-circuit between electrodes by, after formation of an ohmic electrode not requiring an alloying process, performing a chemical etching with a crystal orientation of the substrate selected so as to provide an inversed mesa structure under the electrode and to project the electrode.

**CONSTITUTION:** A buffer layer 2, a contact layer 7 and so on are formed on a semi-insulating substrate 1 of GaAs. The substrate 1 is then dipped in active solution of citric acid to remove a part of a base layer 4 such that an emitter electrode 8 is projected out from the contact layer 6. Then, an insulating film is formed on the substrate 1 by plasma CVD and is removed except its part to provide side walls 7 on the side faces of the mesa. A base electrode 9 is formed of an ohmic electrode material on the substrate. Then, an insulating film is formed on the surface of the substrate including the emitter and base electrodes and side walls 7' are provided under the base electrode 9. Finally, a collector electrode 10 is formed.



(5)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-194652

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月1日

H 01 L 29/68  
21/331  
21/338  
29/205  
29/73  
29/812

8526-5F

8526-5F

7733-5F H 01 L 29/80  
8526-5F 29/72

B

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-14389

⑰ 出 願 平1(1989)1月24日

⑱ 発 明 者	小 高 洋 寿	東京都武蔵野市中町2丁目9番32号	横河電機株式会社内
⑱ 発 明 者	岡 貞 治	東京都武蔵野市中町2丁目9番32号	横河電機株式会社内
⑱ 発 明 者	三 浦 明	東京都武蔵野市中町2丁目9番32号	横河電機株式会社内
⑱ 発 明 者	鎌 田 浩 史	東京都武蔵野市中町2丁目9番32号	横河電機株式会社内
⑲ 出 願 人	横河電機株式会社	東京都武蔵野市中町2丁目9番32号	
⑳ 代 理 人	弁理士 小沢 信助		

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1) GaAs等からなる半絶縁性基板上にコレクタ層、ベース層、エミッタ層およびコンタクト層を形成する工程と、

2) 前記コンタクト層上に合金化のプロセスを必要としないオーミック電極材料でエミッタ電極を形成する工程と、

3) 前記基板の結晶方向を選び、クエン酸活水を用いて前記エミッタ電極が形成された部分の下方の前記コンタクト層およびベース層の一部を含む部分が逆メサ状に、かつ、エミッタ電極の一部が庇状になる様に前記基板をケミカルエッチングする工程と、

4) 前記メサ部の側面を含む基板に絶縁膜を形成し、前記メサ部の側面に付着した前記絶縁膜を残して前記絶縁膜を取除く工程と、

5) 前記エミッタ電極の上部を含む基板上にベ-

ース電極を形成する工程と、

6) 前記エミッタ電極およびベース電極部をマスクとしてクエン酸活水を用いて前記ベース電極の下方の前記ベース層およびコレクタ層の一部を逆メサ状に、かつ、ベース電極の一部が庇状になるようにケミカルエッチングする工程と、

7) 前記ベース電極の下方のメサ部の側面を含む基板に絶縁膜を形成し、前記メサ部の側面に付着した前記絶縁膜を残して前記絶縁膜を取除く工程と、

8) 前記コレクタ層にコレクタ電極を形成する工程、

とを含むことを特徴とする半導体装置の製造方法、

3. 発明の詳細な説明

<産業上の利用分野>

本発明は、半導体装置の製造方法に関し、とくにHBT(ヘテロ接合バイポーラトランジスタ)やHET(ホットエレクトロントランジスタ)の製造方法に関する、

<従来の技術>

GaAs等の化合物半導体を基板とするHBTやHETは、超高周波・超高速の信号処理に非常に良好な性能を発揮することが知られており、その高性能化のための要件としては、エミッタ、ベース、コレクタを近接して形成した方が望ましい。

第2図(a)～(d)は従来のHBTの構造とその製造方法を示すものである。

第2図(a)においてGaAsからなる半絶縁性基板1上にバッファ層2(n-GaAs)、コレクタ層3(p-GaAs)、ベース層4(p-GaAs)、エミッタ層5(n-AlGaAs)、およびコンタクト層6(n-GaAs+n-InGaAs)をエピタキシャル成長法により順次積層して形成する。

次にエミッタ電極を形成すべき部分の下方を残してコンタクト層およびエミッタ層がメサ状に残る様にエッチングする。

次に(b)図においてSiO<sub>2</sub>、Si<sub>3</sub>O<sub>4</sub>等の絶縁膜をメサ部を含む基板上に形成し、反応性イオンエッチング(RIE)により絶縁膜をメサ

とベース電極の分離の判定が難しく電極間ショートが発生し易い。

本発明は上記従来技術の問題点を解決するために成されたもので、エミッタ電極とベース電極のショートの起こりにくい半導体装置の製造方法を提供することを目的とする。

<課題を解決するための手段>

上記従来技術の課題を解決するための本発明の製造方法は、

- 1) GaAs等からなる半絶縁性基板上にコレクタ層、ベース層、エミッタ層およびコンタクト層を形成する工程と、
- 2) 前記コンタクト層上に合金化のプロセスを必要としないオーミック電極材料でエミッタ電極を形成する工程と、
- 3) 前記基板の結晶方向を選び、クエン酸活水を用いて前記エミッタ電極が形成された部分の下方の前記コンタクト層およびベース層の一部を含む部分が逆メサ状に、かつ、エミッタ電極の一部が庇状になる様に前記基板をケミカルエッチングす

部の側面にのみ残して取り除きサイドウォール7を形成する。

次に(c)図においてコンタクト部および露出したベース部分の上にショットキ電極金属を形成する。

次に(d)図において斜め方向からA<sup>+</sup>イオンミリングによりサイドウォール上に付着した電極金属を除去し、エミッタ電極とベース電極を分離する。

上記のようにショットキ電極を形成すればエミッタおよびベースを一つの工程で形成することが出来る。なお、HETについてはエミッタ層にエミッタバリア層、コレクタ層にコレクタバリア層が含まれるが、それ以外は上記HBTの製造工程と同様である。

<発明が解決しようとする課題>

しかしながら、上記従来の製造方法においては次の様な問題がある。

即ち、ベース層とコンタクト層の高さの差は2000Å～3000Å程度であるがエミッタ電極

る工程と、

4) 前記メサ部の側面を含む基板に絶縁膜を形成し、前記メサ部の側面に付着した前記絶縁膜を残して前記絶縁膜を取除く工程と、

5) 前記エミッタ電極の上部を含む基板上にベース電極を形成する工程と、

6) 前記エミッタ電極およびベース電極部をマスクとしてクエン酸活水を用いて前記ベース電極の下方の前記ベース層およびコレクタ層の一部を逆メサ状に、かつ、ベース電極の一部が庇状になるようにケミカルエッチングする工程と、

7) 前記ベース電極の下方のメサ部の側面を含む基板に絶縁膜を形成し、前記メサ部の側面に付着した前記絶縁膜を残して前記絶縁膜を取除く工程と、

8) 前記コレクタ層にコレクタ電極を形成する工程、

とを含むことを特徴とするものである。

<実施例>

以下、図面に従い本発明を説明する。第1図

(a)～(f)は本発明の一実施例を示す製造方法の概略工程を示すものである。

(a)図において、GaAsからなる半導体性基板1上にバッファ層2、コレクタ層3、ベース層4、エミッタ層5、およびコンタクト層6を形成する。この場合、各層の厚さは従来例と同様であるが、ここではコンタクト層の上に更に合金化のプロセスを必要としないオーミック電極材料(例えばWSiやTaSi等)を蒸着、スパッタ等により形成し、エミッタ電極8とする。上記オーミック電極はコンタクト層を構成する $n^+InGaAs$ 層6とは反応しない性質を有しており、合金化しなくてもオーミック接触が出来る。

次に(b)図において、この基板1をクエン酸水( $H_2O_2$ )に1～5分程度浸してベース層4の一部が取除かれる程度にケミカルエッチングを行う。このエッチングは基板1の結晶方位を選んでエミッタ電極の下方が逆メサ(逆テーパ)状になるように行う。このときエミッタ電極8とコンタクト層である $n^+InGaAs$ 層は合金化が

されていないのでエミッタ電極7はコンタクト層に対して庇をかけた様になる。

次に(c)図においてエミッタ電極8を含む基板1上に絶縁膜( $SiO_2$ や $Si_3O_4$ 等)をプラズマCVD等により形成し、反応性イオンエッチングによりメサ部の側面以外の部分を取除きサイドウォール7を形成する。

次に(d)図においてエミッタ電極8を含む基板上に合金化のプロセスを必要としないオーミック電極材料でベース電極9を形成する。この場合エミッタ電極はエミッタの幅より近接して配置することが出来る。

次に(e)図において基板をクエン酸水( $H_2O_2$ )に1～5分程度浸してコレクタ層の一部が取除かれる程度にケミカルエッチングを行う(このときベース電極を含むエミッタ電極、サイドウォール上には保護マスクを形成するが図では省略する)。このエッチングにおいてもベース電極9の下方は逆メサ状となる。

次に(f)図においてエミッタ電極、ベース電

極を含む基板上に上記(c)工程と同様に絶縁膜を形成しベース電極の下方にサイドウォール7を形成し、合金化のプロセスを必要としない電極材料を用いてコレクタ電極を形成する。

#### <発明の効果>

以上実施例とともに具体的に説明した様に本発明によれば、合金化のプロセスを必要としないオーミック電極を形成後、基板の結晶方位を選んでケミカルエッチングを行い、電極の下方を逆メサ状に形成し、各電極が庇状になる様にしたので、電極間のショートが起こり難い安定したプロセスを実現出来る。また、エミッタの大きさをエミッタ電極がパタニングされた大きさより小さく形成することが出来る。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示す半導体製造方法の概略工程図、第2図は従来の製造方法の概略工程を示す図である。

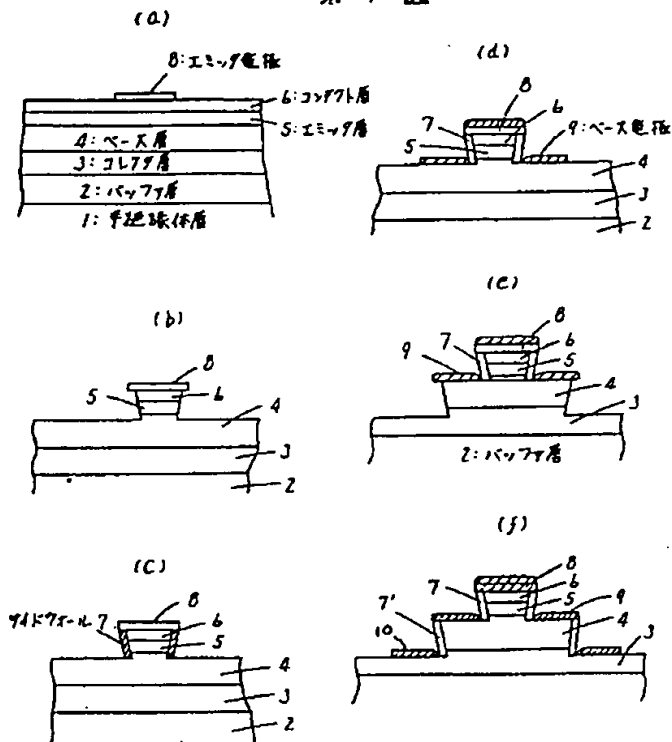
1…半導体性GaAs、2…バッファ層2( $n^+GaAs$ )、3…コレクタ層( $n-GaAs$ )、

4…ベース層( $P^+AlGaAs$ )、5…エミッタ層( $nAlGaAs$ )、6…コンタクト層( $n^+InGaAs$ )、7…エミッタ電極、8、10…サイドウォール、9…ベース電極。

代理人 井理士 小沢 信



第 1 図



第 2 図

